

基于 $0.18\mu\text{m}$ SiGe BiCMOS 工艺的高速比较器 分析与设计

陈天佐, 吴玉平, 陈 岚

(中国科学院微电子研究所, 北京 100029)

摘 要: 基于预放大正反馈锁存比较理论, 给出了一种 8 bit 8Gs/s 高速比较器的设计. 该比较器采用预放大器结构以提高分辨率、加快比较过程, 采用主从锁存器降低亚稳态发生概率, 采用输出缓冲器改善输出波形、提供测试接口; 在 HHNEC $0.18\mu\text{m}$ SiGe BiCMOS 工艺下, 采用 Cadence Spectre 进行仿真, 结果显示, 该比较器精度为 4mV, 输出摆幅 $\pm 300\text{mV}$, 锁存时间 37ps, 过驱动恢复时间 22ps, 功耗约 57mW, 表现出良好的性能.

关键词: 锗硅; 高速比较器; 主从锁存器; 精度

中图分类号: TN433

文献标识码: A

文章编号: 1000-7180(2012)07-0051-04

Analysis and Design of High Speed Comparator Using $0.18\mu\text{m}$ SiGe BiCMOS Process

CHEN Tian-zuo, WU Yu-ping, CHEN Lan

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029)

Abstract: A high speed comparator is presented in this paper, which is designed based on the theories of pre-amplifier and positive feedback. This comparator consists of a preamplifier, a master-slave latch, and an output buffer, to improve the resolution and decrease the occurrence probability of metastability. The comparator is fabricated in HHNEC $0.18\mu\text{m}$ SiGe BiCMOS process and is simulated using Cadence Spectre. The simulation results show that the resolution of the comparator is 4mV, and the differential output voltage swing is $\pm 300\text{mV}$. The latch time and the recovery time of the comparator are relatively 37ps and 22ps, with about 57mW power consumption.

Key words: SiGe; high speed comparator; master-slave latch; resolution

1 引言

采样率在 Gs/s 以上的中低精度、高速 ADC 主要应用于光接收机、软件无线电、硬盘驱动读写通道、高速数字示波器以及高速串行互连等领域. 此类高速 ADC 多采用并行结构或折叠插值结构实现, 其中影响 ADC 性能的关键模块为高速采样保持电路和高速比较器.

高速比较器是影响 ADC 延迟、精度、功耗、输入电压范围、芯片面积等性能指标的关键模块^[1]. 目前设计可以采用的工艺有 GaAs、InP 以及 SiGe 工艺, 提供的异质结双极晶体管 (HBT) 表现出很好的

噪声性能和很高的截止频率. GaAs 和 InP 成本较高、集成度小, 而 SiGe 工艺可以和传统的 CMOS 工艺兼容, 达到很高的集成度. 因此, SiGe 工艺更具有竞争力、应用更为广泛. 目前, SiGe HBT 的最高截止频率可以达到几百 GHz.

本文采用 $0.18\mu\text{m}$ SiGe BiCMOS 1P6M 工艺, 给出了一种 8 bit 8Gs/s 高速比较器的分析和设计.

2 比较器基本结构及性能参数分析

典型的比较器由预放大器和锁存器两部分组成^[2], 如图 1 所示.

电路有两种工作状态: 跟踪模式和锁存模式. 当

时钟电平 CK 为高时, Q5 导通、Q6 截止, 电路工作在跟踪模式, 对输入信号进行放大; 当时钟电平 CK 为低时, Q5 截止、Q6 导通, 电路工作在锁存模式, 形成正反馈, 可以将 X、Y 点的电压差迅速放大, 给出比较输出。

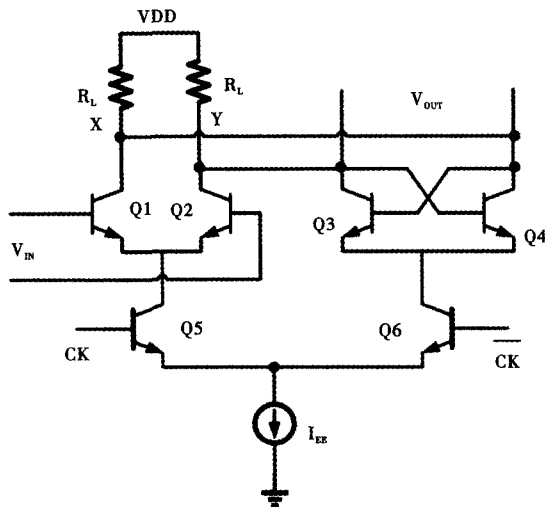


图1 典型比较器结构

限制比较器性能提高的参数主要有失调电压、锁存时间、过驱动恢复时间, 它们决定了比较器所能达到的最大采样率和比特位数(即精度)。在 SiGe BiCMOS 工艺中, 异质结双极型三极管的失调电压在 2mV 以下^[3], 所以, 失调电压并不是限制比较器性能提高的关键因素。

锁存时间是指从收到锁存命令开始到建立比较输出所需要花费的时间, 与偏置电流、预放大级增益和输出摆幅等因素有关。根据文献[2], 比较器的输出初始状态 V_{XY0} 与锁存状态 V_{XY} 有如下关系:

$$V_{XY} = V_{XY0} \exp \left[(A_{pre} - 1) \frac{t}{\tau} \right]$$

该式也可表示为:

$$T_{latch} = \frac{C_L V_T}{I_{EE}/2} \ln \frac{I_{EE} R_L}{A_{pre} LSB}$$

其中 C_L 为输出点 X、Y 处的寄生电容, I_{EE} 为偏置电流, R_L 为比较器的输出负载, τ 为负载电阻 R_L 与输出端 X、Y 寄生电容 C_L 的乘积, A_{pre} 为预放大级的增益, LSB 为最低有效位对应的电压, 由比较器的位数 N 和参考电压 V_{ref} ($1 V_{pp}$) 给出。

过驱动恢复时间是指电路从锁存模式向跟踪模式转换时输出从满数字摆幅到 1LSB 所需要的时间。过驱动恢复时间是限制比较器所能达到的最高速度的关键因素。根据图 1, 它与 X、Y 处的负载电阻 R_L 和寄生电容 C_L 成正比, 分析由锁存模式到跟

踪模式时电路大信号行为特性^[4], 有:

$$T_{rec} = R_L C_L \ln \left(1 + \frac{1}{\tanh(q A_{pre} LSB / 2kT)} \right)$$

回踢噪声是指比较器在跟随模式和锁存模式之间进行状态变换时在比较器的输入端所观察到的噪声功率。对于图 1 所示的比较器, 在锁存模式下, Q1、Q2 截止, 当电路由锁存模式向跟随模式转变时, Q5 导通, 电流流经 Q1、Q2, 由于 Q1、Q2, 电流最先流经发射结^[2], 从而会在输入端产生很大的瞬时电流, 电流峰值可以达到偏置电流的一半, 因此会有很大的回踢噪声产生。

3 改进的比较器设计

典型的比较器结构所能达到的精度和速度有限, 其回踢噪声也是一个必须关注的问题。在设计高速比较器时, 需要对其进行改进, 以提高比较器的速度和精度。本文给出的改进比较器设计包含预放大器、主从锁存器及输出缓冲器三级结构。

3.1 预放大器设计

典型的比较器结构在跟踪模式时增益有限, 需要较长的时间才能给出比较输出, 限制了比较器所能达到的精度和速度。增加预放大器结构, 如图 2 所示, 由放大器和射极跟随器构成。

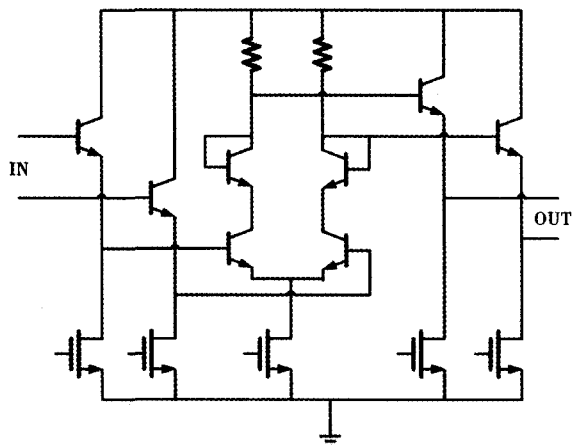


图2 预放大器

预放大器提供一定的增益, 减小比较器的锁存时间, 从而提高比较器的精度。同时, 在放大级之后加入射极跟随器, 可以有效地减小比较器的回踢噪声。预放大器对电路的输入失调和匹配有重要的影响^[5], 在设计时应采用较大的尺寸和较小的电流密度, 以减小输入失调和失配。

3.2 主从锁存器设计

主从锁存器结构如图 3 左半部分所示, 它由采

用互补时钟信号的两级锁存器构成,两级锁存器的结构相同.锁存器的结构是在典型比较器结构基础上改进得来的.采用的锁存器增加了一级射极跟随器,将锁存器和下一级隔离开,减小了下一级的负载效应,从而加速再生过程.锁存器的偏置电流、负载电阻和管子的尺寸需要根据输出电压摆幅、锁存时间以及过驱动恢复时间进行精心的设计,在给出的设计中,过驱动恢复时间可以达到22ps,输出摆幅为 $\pm 300\text{mV}$.

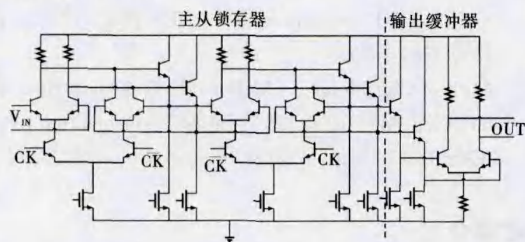


图3 主从锁存器和输出缓冲器

亚稳态是指比较器不能在限定的时间内给出正确的比较输出.采用主从锁存器结构,可以减小比较器处在亚稳态的概率.根据文献[2],比较器处在亚稳态的概率为:

$$P(t > T_c) = \exp\left(\frac{-(A_{pre}-1)T_c}{\tau}\right)$$

其中 T_c 为半个时钟周期, A_{pre} 为预放大器总的增益, τ 为时间常数,其值为负载电阻 R 和寄生电容 C 的乘积.要减小亚稳态发生概率,就需要增大 A_{pre} ,减小 τ ,或采用主从锁存器结构.

3.3 输出缓冲器设计

输出缓冲器的主要功能是将锁存器和后一级电路隔离开,并提供测试的接口.本文设计输出缓冲器如图3右半部分所示,缓冲器的增益为1.此缓冲器与文献[5]采用的输出缓冲器相比,将最后一级改为射极耦合结构与射极负反馈电阻结构的结合,减小了缓冲器输出的上升、下降时间,改善了输出锁存之后的波形,使其波动更小.

4 版图设计及仿真结果

为了减小共模噪声,比较器的版图设计时尽量保持对称,同时为了节省芯片面积,设计时使版图尽量紧凑;METAL1 做地线, METAL2 做电源线,金属走线宽度要在电流密度和寄生效应之间进行折中.设计采用 HHNEC 0.18 μm SiGe BiCMOS 工艺实现[6],整体电路版图如图4所示,核心电路面积 $130\mu\text{m} \times 350\mu\text{m}$,核心电路功耗约为57mW.

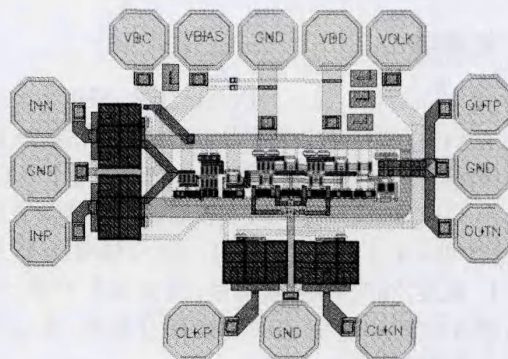


图4 整体电路版图

采用 Calibre 和 Cadence Spectre 进行版图验证和后仿真.比较器的性能可以通过最小差分输入测试和过驱动测试给出[7].在其它条件不变的情况下,对输入信号进行参数扫描,可以确定比较器的精度;过驱动测试可以确定比较器的过驱动恢复时间,仿真发现通过过驱动测试所获得的过驱动恢复时间与瞬态仿真输出下降时间相当.输入信号是频率为1GHz、幅度为2mV的差分正弦信号,时钟频率8GHz,由片外提供,后仿真差分输出电压波形如图5所示,其中实线和虚线分别是输入幅度为2mV和1mV时的输出.

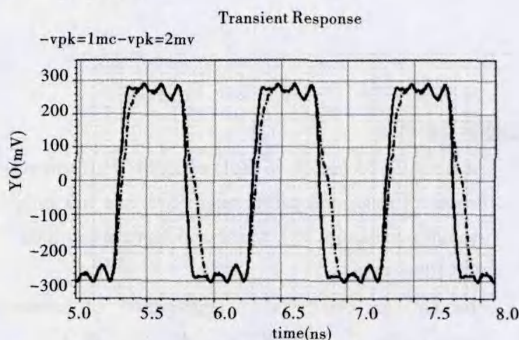


图5 差分输出波形

由图5可知,输出摆幅为 $\pm 300\text{mV}$,输入精度为4mV,上升时间(即锁存时间)为37ps,下降时间(即过驱动恢复时间)为22ps.表1为本文设计指标与文献中指标的对比.

表1 比较器性能比较

文献	采样频率 (GHz)	精度 (mV@GHz)	电源 电压	功耗 (mW)	面积 (mm ²)
[5]	18	8.9@18	3.5	82	0.0455
[8]	5	<4@5	3	85.9	0.058
[9]	10	12@10	3.4	/	/
本文	8	4@8	3.3	57	0.045

5 结束语

基于 $0.18\mu\text{m}$ SiGe BiCMOS 工艺,采用预放大器、主从锁存器和输出缓冲器三级结构,在速度、精度、功耗等方面做了适当的折中,设计了一个 8 bit 8Gs/s 高速比较器。仿真结果表明该比较器具有较好的性能,在工作电压 3.3V,输入信号为频率 1GHz、幅度 2mV 的正弦信号,时钟频率为 8GHz 时,锁存时间和过驱动回复时间分别为 37ps 和 22ps,输出摆幅 $\pm 300\text{mV}$ 。

参考文献:

- [1] 郭永恒,陆铁军,王宗民. 一种高速高精度比较器的设计[J]. 微电子学与计算机, 2011, 28(1): 50-53.
- [2] Behzad Razavi. Principles of data conversion system design [M]. New York: IEEE PRESS, 1995: 181-182.
- [3] Paul R Gray. Analysis and design of analog integrated circuits [M]. New York: Wiley, 2003: 421-422.
- [4] Peter J Lim, Bruce A Wooley. An 8 bit 200-Mhz BiCMOS Comparator[J]. IEEE JSSC, 1990, 25(1): 192-199.
- [5] 殷湛,郭立,杨吉庆. 一种用于流水线 ADC 的高速电压比较器[J]. 微电子学与计算机, 2006, 23 (2): 182-184.
- [6] Xiangtao Li, John D Cressler. A 7 bit, 18GHz SiGe HBT comparator for medium resolution A/D conversion[J]. IEEE BCTM, 2005, 9(2): 144-147.
- [7] Gu Jun, Lian Yong, Design and analysis of a high speed comparator [C] // RFIT - IEEE. Washington 2005: 215-218.
- [8] Jensen J C, Larson L E. A 16-GHz ultra-high-speed Si-SiGe HBT comparator[J]. IEEE JSSC, 2003, 38 (9): 1584-1589.
- [9] Michael Chu, John F. McDonald. A 40Gs/s time interleaved ADC using SiGe BiCMOS technology [J]. IEEE JSSC, 2010, 45(2): 380-390.

作者简介:

陈天佐 男,(1986-),硕士研究生. 研究方向为高速集成电路设计.

吴玉平 男,(1968-),研究员,硕士生导师. 研究方向为混合信号集成电路设计技术与方法学研究.

陈岚 女,(1968-),研究员,博士生导师. 研究方向为超深亚微米芯片设计方法学及计算机体系结构.

(上接第 50 页)

- [2] Addie R G, Neame T D, Zukerman M. Performance analysis of a poisson-pareto queue over the full range of system parameters [J]. Computer Networks, 2009, 53 (7):1099-11134.
- [3] ZhaoXin. an Analysis of aggregation of streaming media traffic[C] MINES2009, [EI,ISTP 收录]
- [4] 赵昕. 有限尺度汇聚流带宽规划研究[J]. 电子与信息学报,2010,33(2):255-259.
- [5] Richard Ernest Bellman. Dynamic programming [M]. N Y: Dover Publications, 2003.
- [6] 谢金星,邢文训. 网络优化[M]. 北京:清华大学出版社, 2000.
- [7] Koonlachat Meesublak. Network design under demand uncertainty [C]// Proc. of the Asia-Pacific Advanced Network Meeting China: Beijing, 2008: 11-18.
- [8] 程光,龚俭. 互联网流测量[M],南京,东南大学出版社,2008

作者简介:



王苏南 男,(1984-),博士研究生. 研究方向为计算机网络体系结构、网络测量、流量检测.

赵昕 男,(1981-),博士. 研究方向为计算机网络流量研究.

张校辉 男,(1979-),博士. 研究方向为计算机网络流量研究.

罗兴国 男,(1951-),教授,博士生导师. 研究方向为通信与信息系统.